

JAPAN PATENT OFFICE

PATENT LAID-OPEN OFFICIAL GAZETTE

Laid-Open No.

H.11-135402

Laid-Open

H.11 (1999) May 21

Application No.: H.9-300251

Filed: H.9 (1997) Oct. 31

Inventor: Hiroyoshi Tanabe
Shinji Ishida
Naoki Anzato
NEC Corporation
5-7-1, Shiba, Minato-ku, Tokyo

Applicant: NEC Corporation
5-7-1, Shiba, Minato-ku, Tokyo

Attorneys, Agents: Yasuyuki Hata

1. TITLE OF THE INVENTION

A Photomask and a Method of Using the Photomask

[Summary]

The objective of this invention is to provide a photolithographic mask (photomask) and method of exposure that improve the resolution of the contact hole patterns of a memory device.

[Means for Achieving the Objective]

This invention proposes photomask 20 through which a predetermined optical beam is passed via multiple main openings 4. Respective multiple pattern sections that are formed at positions opposite those of the multiple pattern sections of the semiconductor device are applied to photomask 20. Between multiple main openings 4 in photomask 20, multiple minute auxiliary openings 5 are provided; these pass the optical beam but do not project it for exposure.

2. WHAT IS CLAIMED

[Claim 1]

A photomask characterized in that, to form at least some portion of the multiple sections of the pattern for a semiconductor device, predetermined optical beams that are applied to the respective multiple pattern sections pass through multiple main openings that have been formed at positions opposite those of some portion of the multiple patterns of a semiconductor circuit and wherein multiple minute auxiliary openings that allow the optical beam to pass but do not project it to exposure are provided between the multiple main openings.

[Claim 2]

A photomask, as defined in claim 1, and characterized in that the above semiconductor device is a memory device.

[Claim 3]

A photomask, as defined in claim 1 or 2, and characterized in that at least some portion of the multiple patterns of said semiconductor device are for contact holes.

[Claim 4]

A photomask, as defined in either of claim 1 to 3, and characterized in that said main openings and said auxiliary openings are arranged such that they form a group of periodical openings in said photomask.

[Claim 5]

A photomask, as defined in claim 4, characterized in that said auxiliary openings are provided at crossing points of a virtual lattice of lines that are perpendicularly crossing and connect and pass through some predetermined position within each of the respective said multiple main openings, or at the crossing points of virtual lines, which are virtually formed along those positions that bisect the distance between the lines in said virtual lattice, and of these virtual lines and the aforesaid virtual lines.

[Claim 6]

A photomask, as defined in any of claims 1 to 5, and characterized in that a means of optical shifting is provided on at least one opening in each pair of adjacent openings, from among said multiple main openings and multiple auxiliary openings.

[Claim 7]

A method of exposure characterized in that exposure is carried out with a light source modified such that illumination in its periphery is brightened and in that a photomask as defined in claims 1 to 5 is used.

[Claim 8]

A method of exposure characterized in that exposure is carried out with a light source that has a small numerical aperture and in that the photomask is as defined in claim 6.

3. DETAILED DESCRIPTION OF THE INVENTION

[0001]

[Scope of Utilization in Industry]

This invention concerns a photolithographic mask (photomask) for use as equipment in the manufacture of semiconductor integrated circuits and a method for using said photomask in exposing the patterns of a semiconductor integrated circuit. In particular, the invention concerns masks for the formation of contact holes and methods of exposure for the contact holes of memory devices.

[0002]

[Prior Art]

With progress in the integration of semiconductor integrated circuits, the miniaturization of their circuit patterns is making more rapid progress than it has traditionally done. However, the wavelength of light from the source places a limit on the resolution of photolithographic techniques in which a projection aligner is used. In recent years, ultra-high resolution techniques using, for example, a

phase-shift mask and modified method of illumination, have been proposed as ways of improving the resolution.

[0003]

The half-tone phase-shift mask as described in the Official Patent Gazette of H.4-136854 is well-known as a phase-shift mask that improves the resolution of patterns of holes. In a half-tone phase-shift mask, a film of a translucent phase-shifting material replaces the typical opaque film. However, when a half-tone phase-shift mask is in use, an area of high light intensity, called a side lobe, is generated around the hole pattern. This is because the translucent phase-shift film passes a little of the light.

[0004]

Since the contact holes of memory devices are arranged with a narrow pitch, the side-lobes overlap as miniaturization proceeds, and the superfluous side-lobes are projected onto the resist. However, methods for improving the resolution of the hole pattern other than by using a half-tone phase-shift mask are well-known, such as that in the Official Gazette No. H.4-268714. In this issue of the Official Gazette, a mask is proposed in which auxiliary openings 5 that are smaller than the resolution of the projection lens are placed in the vicinity of hole pattern 4 and surround hole pattern 4.

[0005]

Modifying the conditions of illumination under which the mask is exposed by using ring light source 10 as shown in figure 5 (A) or four-point light source 11 as shown in figure 5 (B) is said to improve the resolution of the holes. Such a mask is effective for isolated holes in which patterns of holes are sparsely arranged. Another method is proposed in issue

S.62-67514 of the Official Gazette, figure 7. Here, the phase of light that passes through auxiliary shifter 9, which surrounds and is adjacent to hole pattern 4 and is of a size smaller than the limit on the resolution of the projection lens, is shifted by an angle of 180 degrees. Phase-shifting by this mask is effective for isolated holes. The resolution is further improved by using a source of illumination that has a small numerical aperture, for example, approximately $\sigma = 0.3$.

[0006]

[Problems to be Solved by the Invention]

Masks in which auxiliary openings or auxiliary shifters are used, as shown in figures 6 and 7, are effective with isolated holes. However, the contact-hole patterns of memory devices have areas in which the holes are densely arranged, as is shown in figure 3. For example, for the cases of creating contact holes for the capacitors shown in figure 3 (C), it is not possible to place an auxiliary opening or auxiliary shifter around hole pattern 4.

[0007]

The objective of this invention is improve upon the prior art with its drawbacks and to provide a photomask and a method of exposure that improve the resolution of the contact hole patterns of memory devices.

[0008]

[Means for Solving the Problem]

To achieve the above objective, this invention uses the following basic technical configuration. A photomask to form at least some portion of the multiple sections of the pattern for a semiconductor device is proposed as a first embodiment of the photomask which this invention concerns. The predetermined

optical beams that are applied to the respective multiple pattern sections pass through multiple main openings that have been formed at the positions opposite the multiple pattern section of a semiconductor circuit pattern. In this photomask, each optical beam passes through multiple minute auxiliary openings that are formed between the multiple main openings but is not projected to produce exposure. The second embodiment which this invention concerns is a photomask characterized in that a means of optical shifting is provided on at least one opening in each pair of adjacent openings, from among said multiple main openings and multiple auxiliary openings.

[0009]

In the third embodiment of this invention, the photomask of embodiment 1 as described above and a light source that has been modified to brighten the illumination from its periphery are applied in the method of exposure processing. In the fourth embodiment, the photomask used in embodiment 2 and illumination from a light source that has a small numerical aperture are applied in the method of exposure processing.

[0010]

[Concrete Example of the Invention]

Since the photomask which this invention concerns is in one of the above configurations, it may, for example, be used as a photomask for memory devices that have contact-hole patterns. The configurations are characterized in that a lattice of lines is formed that connects said contact-hole pattern across its intervals, the points at which said lines in the lattice cross are determined, and minute auxiliary openings that will not be projected during exposure are formed at some or all of the points in said lattice at which said contact-hole pattern is not present.

[0011]

As a method for applying a predetermined optical beam to form the circuit of a semiconductor device with which this invention is concerned when the photomask that is used does not have said means for optical phase-shifting, for example, in forming a predetermined pattern on the resist, it is desirable that the source of illumination that is used in exposure processing be modified to brighten the illumination from its periphery. On the other hand, when a photomask that has said means for optical phase-shifting is used, an ordinary light source is used. In this case, however, exposure processing is performed with the light beam's aperture stopped down.

[0012]

[Embodiment]

The configuration of one embodiment of the photomask related to this invention is described in detail with reference to the drawings. In figure 1, (B) and (C) are plan views of the configuration of one embodiment of the photomask related to this invention. In this figure, the following photomask is used to form at least one of the multiple pattern sections of pattern 25 of a semiconductor device which is shown in figure 1 (A), for example, to form bit-line contact holes 2 or the capacitor contact holes.

Photomasks 20 and 22 have multiple main openings 4 which are formed at positions opposite those of multiple pattern sections 2 and 3. The predetermined optical beam passes through these holes to be applied to the areas of respective multiple pattern sections 2 and 3.

In photomasks 20 and 22, multiple minute auxiliary openings 5, through which the optical beam passes but is not projected to exposure, are provided between multiple main openings 4.

[0013]

It is desirable that semiconductor devices that use photomasks 20 and 22 which this invention concerns should be memory devices. In addition, it is desirable that at least some portion of the multiple pattern sections for said semiconductor device should be contact hole 2 and capacitor contact hole 3. However, this invention is not restricted to these items.

[0014]

Specifically, said main openings 4 and said auxiliary openings 5 should be arranged such that each forms a group of periodical openings in photomask 20 or 22. Employing such a configuration makes it possible to obtain a deep depth of focus during exposure processing, as is described later.

[0015]

Said auxiliary openings 5 in said photomasks 20 and 22 of this invention are provided at the crossing points 7 of virtual lattice of lines 6 that are the perpendicularly crossing lines which connect and pass through predetermined positions within each of said respective multiple main openings (not necessarily their central positions), or at the crossing points 7' of virtual lines 6', which are virtually formed along those positions that bisect the distance between lines 6 of said virtual lattice, and of those virtual lines and said lines 6.

[0016]

The pattern configuration shown in figure 1 (A) is pattern configuration 25 of a semiconductor device to which said photomasks 20 and 22 of this invention are applied and is the same as the pattern configuration shown in figure 3 (A), which is part of an example of the prior art. Likewise, the configuration of photomask 20 for the bit-line contact holes, which is shown in figure 1 (B) and is related to this invention, corresponds to conventional photomask 30, which is shown in figure 3 (B) and is for the bit-line contact holes. In addition, the configuration of photomask 22 for the capacitor contact holes, which is shown in figure 3 (B) and is related to this invention, corresponds to conventional photomask 32, which is shown in figure 3 (C) and is for the bit-line contact holes.

[0017]

In said photomask 20, which is related to this invention, auxiliary openings 5 have been added to conventional photomask 30 shown in figure 3 (B). Auxiliary openings 5 are configured so that the depth of focus is deepened by diffraction of the optical beam used in exposure processing. In particular, in the first embodiment of this invention, convex active areas 1 are densely and periodically placed in the pattern for the memory cells (the same pattern as is shown in figure 3 (A)) shown in figure 1 (A). In this case, bit-line contact hole 2 and capacitor contact hole 3 are on lattice points 7 at which lattice lines 6 that connect the contact holes cross.

[0018]

In mask 20 of figure 1 (B), which is for the creation of bit-line contact holes, auxiliary openings 5, which are smaller than the limit on resolution, are placed on those lattice points on which there is no hole pattern 4. With this

approach, openings are placed on all of the lattice points, forming a cyclic pattern of holes. Also in mask 22 in figure 1 (C), which is for creating the contact holes of the capacitors, auxiliary openings 5, which are smaller than the limit on resolution, are placed on those lattice points on which there is no hole pattern 4. In this way, openings are placed on all of the lattice points, forming a cyclic pattern of holes.

[0019]

The exposure processing of this invention for a prescribed semiconductor circuit field pattern using an appropriate photomask 20 or 22 is effective for cyclic patterns of holes like those shown in figure 1 (B) and figure 1 (C); this is especially so when a source of illumination like the one shown in figure 4 (A) or figure 5 (B), which has been modified to brighten the illumination from its periphery, is used.

[0020]

Here, we have compared, by simulation, the depth-of-focus characteristic of the projected hole diameter for the cases of applying photomask 22 shown in figure 1 (B), which is a mask of this invention, and conventional photomask 30 shown in figure 3 (B). The size of hole pattern 4 is $0.2\ \mu\text{m}$; the size of each auxiliary opening 5 is $0.15\ \mu\text{m}$; and a ring-shaped light source like the one shown in figure 5 (A), where the outer and inner diameters of the light source are $\sigma = 0.9$ and $\sigma = 0.6$, respectively, is used for illumination.

[0021]

In this comparison, the numerical aperture of the optical system used in projection was 0.5. The depth of focus for the projection of a hole with a diameter within $2 \pm 0.02\ \mu\text{m}$ was $0.4\ \mu\text{m}$ when conventional photomask 30 was used. Using photomask 20, which is of this invention, increased the depth of focus to $0.8\ \mu\text{m}$. Another form of the photomasks of this invention is

shown in figure 2 (B) and figure 2 (C), which provide contact hole patterns for a memory device. Of these, the former is photomask 40 for creating the bit-line contact holes and the latter is photomask 42 for creating the contact holes for the capacitors. This is the same as the first embodiment of this invention.

[0022]

This embodiment is also characterized in that lattice of lines 6, which connect the intervals between said contact hole patterns 4, are drawn and lattice points 7 are determined as the points at which lines of said lattice 6 intersect; microscopic auxiliary openings 5, from which there is no projection during exposure, are opened on some or all of the lattice points 7 on which there is none of said contact hole pattern 4; and phase shifters 9, which invert the phase, i.e., shift by 180 degrees, of the light that is transmitted through said contact hole pattern 4 and said auxiliary openings 5, are placed on every other one of the holes of said contact hole pattern 4 and said auxiliary openings 5, which are located on said lattice points 7.

[0023]

This means that, in this embodiment, said main openings 4 and auxiliary openings 5 are arranged in a lattice; at the same time, an optical phase shifter, 9, is provided on at least one opening of each pair of adjacent openings among the multiple main openings 4 and multiple auxiliary openings 5. Shifter-equipped openings 8 are thus formed. There is no restriction on the configuration of optical phase shifter 9 used in this invention. For example, the optical phase shifters that are placed at the applicable openings of openings 4 and 5, which make up photomasks 40 and 42, may be plate-shaped bodies that are mainly made of a glass that is capable of inducing a fixed

amount of phase change. Another way of configuring the phase shifter may be, for example, by scraping away the predetermined amount of the glass substrate in each of the openings in the photomask so that the desired phase difference is created.

[0024]

That is, in the second embodiment of this invention, in the mask 40, which is for the bit-line contact holes, auxiliary openings 5, which are smaller than the limit of resolution, are arranged as shown in figure 2 (B) on those lattice points on which there is no hole pattern 4. With this approach, openings 4 and 5 are placed on all of lattice points 7, to form a cyclic pattern of holes. Phase shifter 9 is placed at every other opening of the holes of pattern 4 and auxiliary openings 5, which are arranged on lattice points 7.

[0025]

Also, in the mask, 42, in figure 2 (C), which is for the contact holes of the capacitors, auxiliary openings 5, which are smaller than the limit of resolution, are placed on those lattice points where there is no hole pattern 4. With this approach, openings are placed on all of lattice points 7 to form a cyclic pattern of holes. Phase shifter 9 is also placed at every other opening of the holes of pattern 4 and auxiliary openings 5, which are arranged on lattice points 7.

[0026]

Photomasks 40 and 42 are cyclic phase-shifting masks, as are the masks shown in figure 2 (B) and figure 2 (C). With such photomasks, it is very effective to use a high level of interference with a light source of normal shape, i.e., 'small- σ illumination', instead of using a modified form of illumination. Small- σ illumination refers to an optical beam that is made very narrow by reducing the ratio between the

numerical aperture of the optical system (NA) and the numerical aperture of the illumination (NA'), that is, NA'/NA .

[0027]

In other words, in exposure processing when using said photomask 40 or 42 in the second embodiment of this invention, illumination where the system of illumination and the light source provide a small numerical aperture is desirable for the exposure processing.

[0028]

[Advantages of the Invention]

This invention's use of the photomask and method of exposure will increase the depth of focus for the projection of contact holes in memory devices. Moreover, the increased margin for focus makes it possible to more efficiently form microscopic patterns, allowing the exposure processing of semiconductor integrated circuits that have even higher degrees of integration.

4. BRIEF DESCRIPTION OF THE DRAWINGS

[Figure 1]

Figure 1 (A) is a plan view of an example of the form of the patterns to be drawn on a semiconductor circuit by using a photomask of this invention. Figure 1 (B) is a plan view of the configuration of a photomask which is an embodiment of this invention and is for use in creating bit-line contact holes. Figure 1 (C) is a plan view of the configuration of a photomask which is an embodiment of this invention and is for use in creating the contact holes for capacitors.

[Figure 2]

Figure 2 (A) is a plan view of an example of the pattern configuration that is to be drawn on a semiconductor circuit by using a photomask of this invention. Figure 2 (B) is a plan view of the configuration of a photomask which is another embodiment of this invention and is for use in creating bit-line contact holes. Figure 2 (C) is a plan view of the configuration of a photomask which is another embodiment of this invention and is for use in creating the contact holes for capacitors.

[Figure 3]

Figure 3 (A) is a plan view of an example of the pattern configuration that is to be drawn on a semiconductor circuit by using a conventional photomask. Figure 3 (B) is a plan view of the configuration of the photomask which is conventionally used in creating bit-line contact holes. Figure 3 (C) is a plan view of the configuration the photomask which is conventionally used in creating the contact holes for capacitors.

[Figure 4]

Figure 4 is a graph, which shows the difference between the depth-of-focus characteristics when a photomask of this invention is used and when a conventional photomask is used.

[Figure 5]

In figure 5, (A) and (B) are plan views which show examples of the shape of the light source that provides a modified form of illumination in this invention.

[Figure 6]

Figure 6 is a plan view of an example of a photomask which is for use in creating an isolated hole and has conventional auxiliary openings.

[Figure 7]

Figure 7 is a plan view of an example of photomask which is for use in creating an isolated hole and has conventional auxiliary shifters.

[Description of Symbols]

- 1: Active region
- 2: Bit-line contact holes
- 3: Contact holes for capacitors
- 4: Main opening
- 5: Auxiliary opening
- 6: Lattice line
- 7, 7': Intersection of lattice lines
- 8: Opening that has a shifter
- 9: Shifter
- 10: Ring-shaped light source
- 11: Four-spot light source
- 20, 30, 40: Photomask for bit-line contact holes
- 22, 32, 42: Photomask for capacitor contact holes
- 25: Pattern for a semiconductor circuit

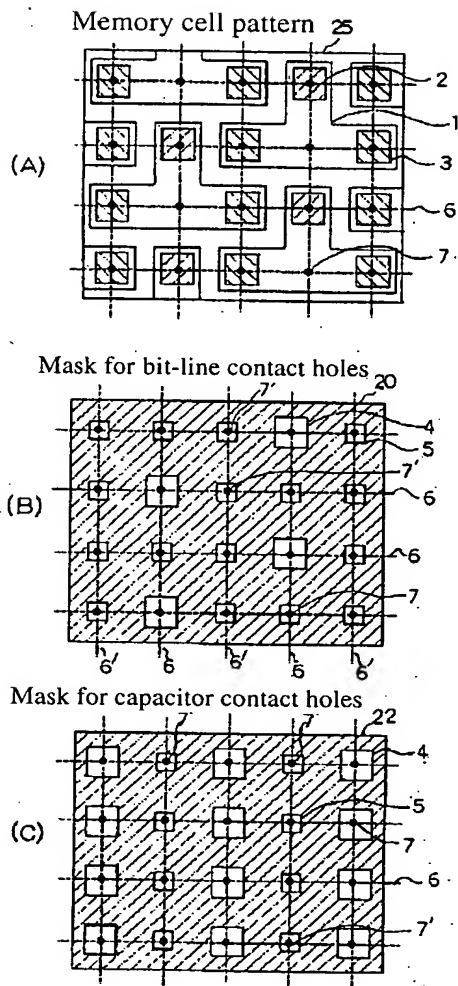


Figure 1

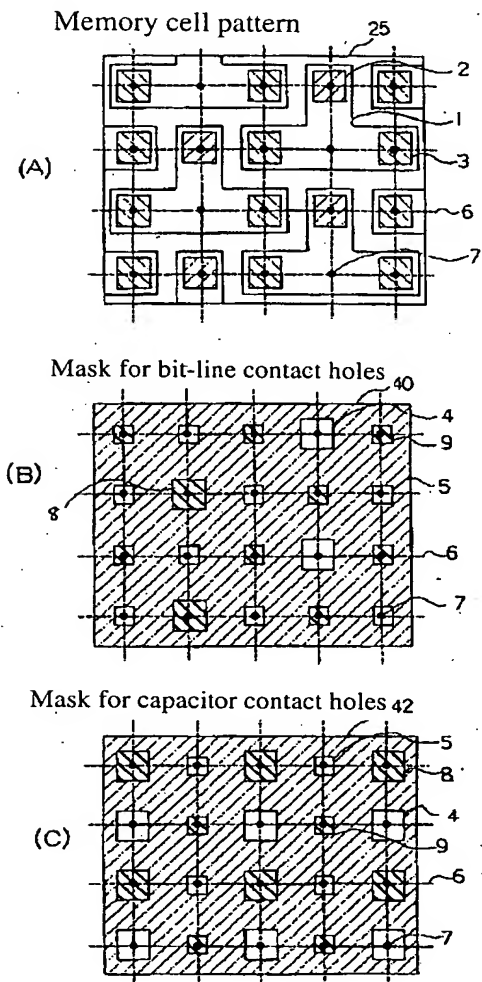


Figure 2

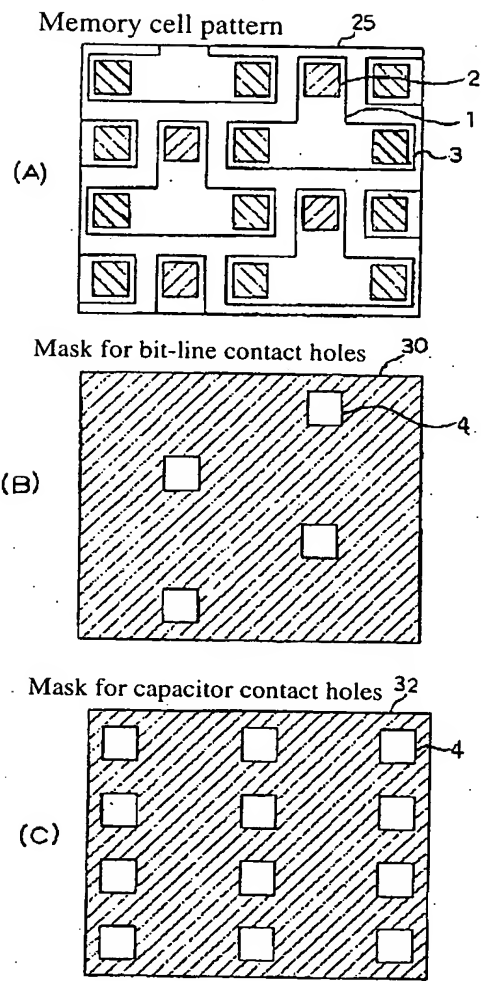


Figure 3

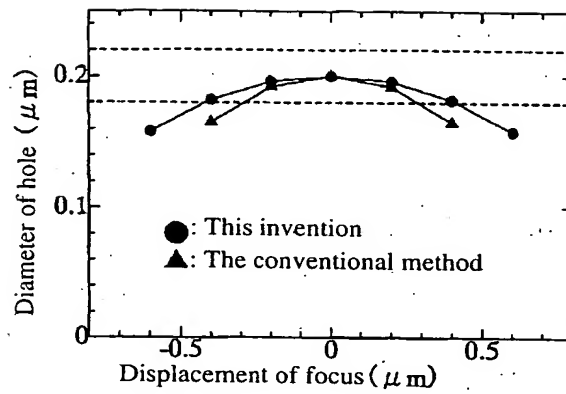
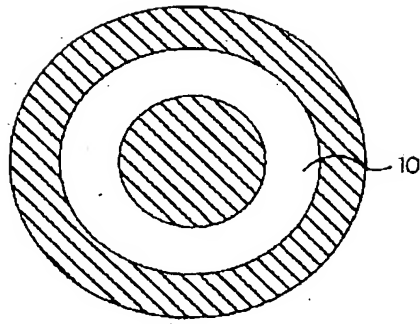


Figure 4

(A)



(B)

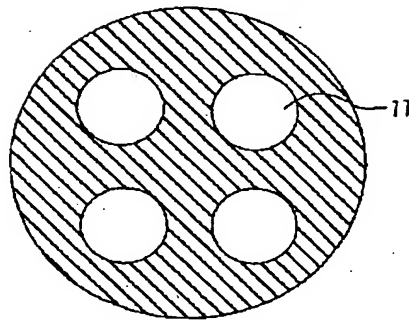


Figure 5

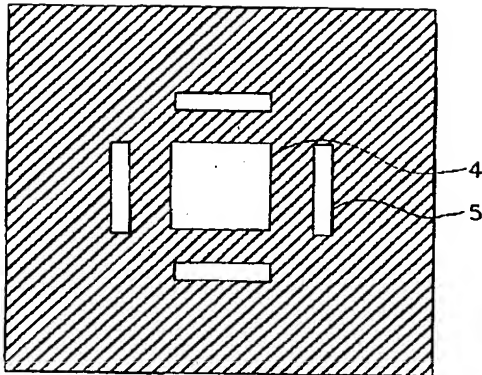


Figure 6

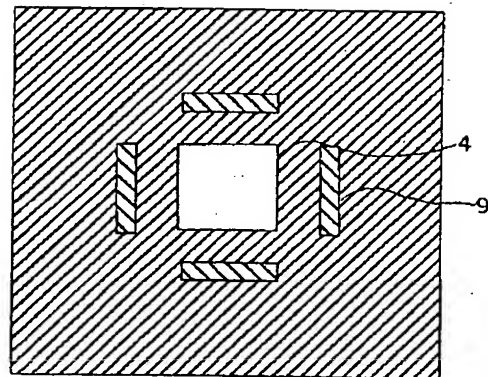


Figure 7

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-135402

(43) 公開日 平成11年(1999) 5月21日

(51) Int. Cl.⁸

H 0 1 L 21/027

G 0 3 F 7/20

識別記号

5 2 1

F I

H 0 1 L 21/30

G 0 3 F 7/20

5 0 2 P

5 2 1

審査請求 有 請求項の数 8 O L (全 6 頁)

(21) 出願番号

特願平9-300251

(22) 出願日

平成9年(1997)10月31日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田辺 容由

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 石田 伸二

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 安里 直生

東京都港区芝五丁目7番1号 日本電気株式会社内

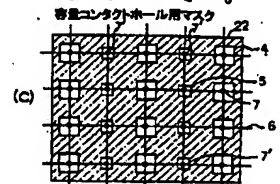
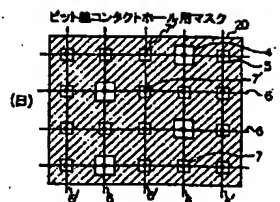
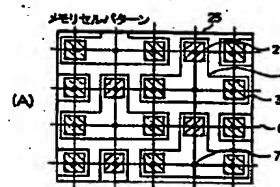
(74) 代理人 弁理士 畑 泰之

(54) 【発明の名称】 フォトマスクおよびフォトマスクを使用した露光方法

(57) 【要約】

【課題】 メモリデバイスのコンタクトホールパターン
の解像度を向上させるフォトマスクおよび露光方法を提供する。

【解決手段】 半導体回路パターンに於ける複数個のパターン部分と対向する位置に、複数個のパターン部分のそれぞれに照射される所定の光ビームを通過せしめる複数個の主開口部4が設けられているフォトマスク20であって、フォトマスク20には、複数個の主開口部間4に、露光時に転写されない程度の光ビームを通過せしめる複数個の微細な補助開口部5が更に配置せしめられているフォトマスク20。



【特許請求の範囲】

【請求項1】 半導体素子のパターンの少なくとも一部の複数個のパターン部分を形成する為に、当該半導体素子の複数個のパターン部分が形成される部位と対向する位置に、当該複数個のパターン部分が形成される部位のそれぞれに照射される所定の光ビームを通過せしめる複数個の主開口部が設けられているフォトマスクであって、当該フォトマスクには、当該複数個の主開口部間に、露光時に転写されない程度の光ビームを通過せしめる複数個の微細な補助開口部が更に配置せしめられていることを特徴とするフォトマスク。

【請求項2】 当該半導体素子は、メモリデバイスである事を特徴とする請求項1記載のフォトマスク。

【請求項3】 当該半導体素子のパターンの少なくとも一部の複数個のパターン部分は、コンタクトホールである事を特徴とする請求項1又は2に記載のフォトマスク。

【請求項4】 当該主開口部と当該補助開口部とは、当該フォトマスク内において周期的開口部群を形成する様に配置せしめられている事を特徴とする請求項1乃至3の何れかに記載のフォトマスク。

【請求項5】 当該補助開口部群は、該複数個の主開口部群のそれぞれの開口部の所定の位置を通る互いに直交する2軸方向線群で結ぶ仮想格子線群の交差点若しくは、当該仮想格子線群の間を等分割する位置に仮想的に形成される仮想線と該仮想格子線群との交差点に設けられるものである事を特徴とする請求項4記載のフォトマスク。

【請求項6】 当該複数個の主開口部と当該複数個の補助開口部の内、互いに隣接する開口部同志の内の少なくとも一方の開口部に光位相シフター手段が設けられている事を特徴とする請求項1乃至5の何れかに記載のフォトマスク。

【請求項7】 請求項1乃至5に規定されたフォトマスクを用い、照明光源の周辺部が明るい変形照明を使用して露光処理することを特徴とする露光方法。

【請求項8】 請求項6に規定されたフォトマスクを用い、照明光源の照明光学系の開口数の小さな照明を使用して露光処理することを特徴とする露光方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路の製造装置で使用されるフォトマスクおよび当該フォトマスクを使用して、半導体集積回路のパターンを露光する露光方法に関するものであり、特に詳しくは、メモリデバイスのコンタクトホール形成用マスクおよびコンタクトホール露光方法に関するものである。

【0002】

【従来の技術】 従来より、半導体集積回路の高集積化に伴い、回路パターンの微細化が急速に進展している。し

かし、投影露光装置を用いたフォトリソグラフィ技術には光源の波長に起因する解像限界が存在する。近年、係る解像度を向上させるために位相シフトマスクや変形照明法などの様々な超解像技術の提案が行われている。

【0003】 処で、係るホールパターンの解像度を向上させる位相シフトマスクとして、例えば、特開平4-136854号公報等に記載されるハーフトーン位相シフトマスクを使用する事が知られている。ハーフトーン位相シフトマスクでは、通常の遮光膜の代わりに半透明位相シフト膜を用いている。しかし、ハーフトーン位相シフトマスクを用いると半透明位相シフト膜は光を僅かに透過するため、ホールパターンの周囲にサイドローブと呼ばれる光強度の強い領域が発生する。

【0004】 従って、メモリデバイスの場合、コンタクトホール間の間隔が狭いため、微細化するにつれサイドローブが重なり合い、不要なサイドローブがレジストに転写してしまう問題が生じている。一方、ハーフトーン位相シフトマスク以外でホールパターンの解像度を向上させる方法として、例えば、特開平4-268714号公報が知られており、当該公報では、図6のようにホールパターン4の近傍に、ホールパターン4を囲む様に投影レンズの解像限界以下の補助開口部5を設けたマスクを使用しうることが提案されている。

【0005】 このマスクを、図5(A)のような輪帯状光源10あるいは図5(B)のような4点状光源11を用いた変形照明条件下で露光することによりホールの解像度が向上するとされている。このようなマスクはホールパターンがまばらに配置されている孤立ホールに対し有効である。また、他の方法として、例えば、特開昭62-67514号公報の図7に開示されている様に、ホールパターン4の近傍に、ホールパターン4を囲む様に投影レンズの解像限界以下の大きさで、透過光の位相を180度反転させた補助シフター9を設けたマスクが提案されている。このマスクは孤立ホールに対して位相シフト効果を持たせたもので、照明光学系の開口数の小さな $\sigma=0.3$ 程度の小 σ 照明とともに用いると解像度が向上する。

【0006】

【発明が解決しようとする課題】 処で、図6あるいは図7のような補助開口あるいは補助シフターを用いたマスクは孤立ホールに対して有効である。しかし、図3に示すメモリデバイスのコンタクトホールパターンではホールの配列が密集している部分がある。例えば、図3

(C)に示す容量コンタクトホールの場合、ホールパターン4を囲む様に補助開口あるいは補助シフターは配置できない。

【0007】 従って、本発明の目的は、上記した従来技術の欠点を改良し、メモリデバイスのコンタクトホールパターンの解像度を向上させるフォトマスクおよび当該フォトマスクを使用した露光方法を提供することにあ

る。

【0008】

【課題を解決するための手段】本発明は上記した目的を達成する為、以下に示す様な基本的な技術構成を採用するものである。即ち、本発明に係るフォトマスクの第1の態様としては、半導体素子のパターンの少なくとも一部の複数個のパターン部分を形成する為、当該複数個のパターン部分が形成される部位と対向する位置に、当該複数個のパターン部分が形成される部位のそれぞれに照射される所定の光ビームを通過せしめる複数個の主開口部が設けられているフォトマスクであって、当該フォトマスクには、当該複数個の主開口部間に、露光時に転写されない程度の光ビームを通過せしめる複数個の微細な補助開口部が更に配置せしめられているフォトマスクであり、又本発明に係る当該フォトマスクの第2の態様としては、当該複数個の主開口部と当該複数個の補助開口部の内、互いに隣接する開口部同志の内の少なくとも一方の開口部に光位相シフター手段が設けられているフォトマスクである。

【0009】更に、本発明に係る第3の態様としては、前記した第1の態様に於けるフォトマスクを用い、照明光源の周辺部が明るい変形照明を使用して露光処理する露光方法であり、又第4の態様としては、前記した第2の態様に於けるフォトマスクを用い、照明光源の照明光学系の開口数の小さな照明を使用して露光処理する露光方法である。

【0010】

【発明の実施の形態】本発明に係るフォトマスクは、上記した様な技術構成を採用しているので、例えば、メモリデバイスのコンタクトホールパターンを有するフォトマスクとして使用可能であり、その構成の具体例としては、前記コンタクトホールパターン間を結ぶ格子線を引き、前記格子線が交叉する格子点を決定し、前記コンタクトホールパターンが存在しない前記格子点上の一部あるいは全てに露光時に転写されない微細な補助開口を加えたことを特徴とするものである。

【0011】又、本発明に係る半導体装置の回路部形成の為、例えばレジスト等に所定のパターンを描画する為に所定の光ビームを露光する露光方法としては、上記した光位相シフター手段を設けないフォトマスクを用いる場合には、照明光源の周辺部が明るい変形照明を使用して露光処理する事が望ましく、又、上記した光位相シフター手段を設けたフォトマスクを用いる場合には、通常の光源を使用するが、その光束をかなり絞った状態にして露光処理する様にするものである。

【0012】

【実施例】以下に、本発明に係るフォトマスクの一具体例の構成を図面を参照しながら詳細に説明する。即ち、図1(B)及び図1(C)には、本発明に係るフォトマスクの一具体例の構成を示す平面図であり、図中、図1

(A)に示されている様な半導体素子のパターン25の少なくとも一部の複数個のパターン部分、例えば、ビット線コンタクトホール2或いは容量コンタクトホールを形成する為、当該複数個のパターン部分2或いは3が形成される部位と対向する位置に、当該複数個のパターン部分2或いは3が形成される部位のそれぞれに照射される所定の光ビームを通過せしめる複数個の主開口部4が設けられているフォトマスク20及び22であって、当該フォトマスク20及び22には、当該複数個の主開口部間4に、露光時に転写されない程度の光ビームを通過せしめる複数個の微細な補助開口部5が更に配置せしめられているフォトマスク20、22が示されている。

【0013】本発明に係るフォトマスク20及び22が使用される当該半導体素子は、例えばメモリデバイスである事が望ましく、又当該半導体素子のパターンの少なくとも一部の複数個のパターン部分は、コンタクトホール2であっても良く又容量コンタクトホール3である事が望ましいが、本発明に係る対象に特定されるものではない。

【0014】即ち、本発明に於ける当該主開口部4と当該補助開口部5とは、当該フォトマスク20及び22内において周期的開口部群を形成する様に配置せしめられている事が望ましい。係る構成を採用する事によって、後述する様に、露光処理時の焦点深度を深く設定する事が可能となる。

【0015】又、本発明に於ける当該フォトマスク20及び22に設けられる当該補助開口部5群は、該複数個の主開口部4群のそれぞれの開口部の所定の位置、必ずしも当該開口部の中心とは限らないが、当該所定の位置間通る互いに直交する2軸方向線群で結ぶ仮想格子線6群の交差点7若しくは、当該仮想格子線6群の間を等分割する位置に仮想的に形成される仮想線6'と該仮想格子線6群との交差点7'に設けられるものである事が望ましい。

【0016】本発明に係る当該フォトマスク20及び22が使用されるべき半導体装置のパターン形状25である図1(A)に示されているパターン構造は、従来例である図3(A)に示されているパターン構造と、同一のパターン構成を示しており、同様に、本発明に係る図1(B)に示されたビット線コンタクトホール用のフォトマスク20の構造に対し、図3(B)に示された従来のビット線コンタクトホール用のフォトマスク30が対応するものであり、又本発明に係る図1(C)に示された容量コンタクトホール用フォトマスク22の構造に対し、図3(C)に示された従来のビット線コンタクトホール用のフォトマスク32が対応するものである。

【0017】つまり、本発明に係る当該フォトマスク20は、図3(B)に示された従来のフォトマスク30に対して、当該補助開口部5が付加されている構造となっ

ており、その作用としては、露光用の光ビームに積極的に回折を起こさせて、それによって焦点深度を深める様に構成されているものである。即ち、本発明の第1の具体例に於ては、図1 (A) に示されたメモリセルパターン (図3 (A) に示されたものと同一パターンを形成している) は凸型の活性領域1が密集して周期的に配置されている。このとき、ビット線コンタクトホール2および容量コンタクトホール3はコンタクトホール間を結ぶ格子線6が交叉する格子点7の上に乗っている。

【0018】又、図1 (B) のビット線コンタクトホール用マスク20ではホールパターン4以外の格子点上に解像限界以下の補助開口5を配置している。このようにすると、全ての格子点上に開口が配置され、周期的なホールパターンになる。また、図1 (C) の容量コンタクトホール用マスク22でもホールパターン4以外の格子点上に解像限界以下の補助開口5を配置している。このため、全ての格子点上に開口が配置され、周期的なホールパターンになる。

【0019】尚、本発明に於て、当該フォトマスク20或いは22を使用して、所定の半導体回路場パターンを露光処理するに際し、図1 (B) あるいは図1 (C) のような周期性を持ったホールパターンに対しては、図4 (A) 或は図5 (B) に示されている様な照明光源の周辺部が明るい変形照明を使用する場合に特に有効である。

【0020】此处で、図1 (B) の本発明のフォトマスク22と図3 (B) の従来フォトマスク30を用いた場合の転写ホール径の焦点深度特性をシミュレーションにより比較したものである。つまり、ホールパターン4の大きさは0.2 μm 、補助開口5の大きさは0.15 μm とし、照明系は図5 (A) の様な輪帯状光源を用い、光源の外径を $\sigma=0.9$ 、内径を $\sigma=0.6$ とした。

【0021】また、投影光学系の開口数は0.5とした。転写ホール径が0.2 \pm 0.02 μm に入っている焦点深度は従来のフォトマスク30を用いた場合には0.4 μm であったが、本発明のフォトマスク20を用いると0.8 μm まで伸びている。本発明に係るフォトマスクの他の態様としては、メモリデバイスのコンタクトホールパターンを有するフォトマスク図2 (B) 及び図2 (C) であり、前者はビット線コンタクトホール用のフォトマスク40であり、後者は容量コンタクトホール用のフォトマスク42である事は、本発明に於ける第1の具体例の場合と同様である。

【0022】更に、本具体例に於いては、前記コンタクトホールパターン4間を結ぶ格子線6を引き、前記格子線6が交叉する格子点7を決定し、前記コンタクトホールパターンが存在しない前記格子点7上の一部あるいは全てに露光時に転写されない微細な補助開口5を開口して配置し、前記格子点7上にある前記コンタクトホールパターン4および前記補助開口5の一つ置きに、前記コ

ンタクトホールパターン4および前記補助開口5を透過する光の位相を180度反転させる位相シフター9を配置したものである。

【0023】即ち、本具体例に於いては、当該主開口部4と補助開口部5とが、格子状に配列されていると同時に、当該複数個の主開口部4と当該複数個の補助開口部5の内、互いに隣接する開口部同志の内の少なくとも一方の開口部8に光位相シフター手段9が設けられ、シフター付き開口部8を形成しているものである。本発明に於ける当該光位相シフター手段9としては、その構成は特に限定されるものではないが、例えば、当該フォトマスク40、42を構成する当該所定の開口部4或いは5に予め定められた所定の位相差を実現しえるガラスを主体とする板状体を配置したもので有っても良く、又、当該フォトマスクに於ける当該各開口部を構成する例えばガラス基板を所定の厚みだけ削り採って、所定の位相差が形成される様に構成されたものであっても良い。

【0024】即ち、本発明に係る第2の具体例に於いては、図2 (B) に示す様に、ビット線コンタクトホール用マスク40ではホールパターン4以外の格子点7上に解像限界以下の補助開口5を配置している。このようにすると、全ての格子点7上に開口4、5が配置され、周期的なホールパターンになる。そして、格子点7に乗ったホールパターン4あるいは補助開口5の一つ置きに位相シフター手段9を配置している。

【0025】また、図2 (C) の容量コンタクトホール用マスク42でもホールパターン4以外の格子点7上に解像限界以下の補助開口5を配置している。このため、全ての格子点7上に開口が配置され、周期的なホールパターンになる。この場合も格子点7に乗ったホールパターン4あるいは補助開口5の一つ置きに位相シフター手段9を配置している。

【0026】図2 (B) あるいは図2 (C) のようなフォトマスク40、42は周期性を持った位相シフトマスクであり、このようなマスクに対しては、変形照明ではなく、通常の形状を有する光源であって、干渉性の高い小 σ 照明 (即ち光学系開口数NAと照明光学系開口数NA' との比 (NA' / NA) を小さくした、絞り込みの大きい光ビーム) を使用することが非常に有効である。

【0027】換言すれば、本発明に係る第2の具体例に於いては、上記したフォトマスク40或いは42を使用する場合には、照明光源の照明光学系の開口数の小さな照明を使用して露光処理することが望ましい。

【0028】

【発明の効果】本発明のフォトマスクおよび露光方法を用いると、メモリデバイスのコンタクトホール転写時の焦点深度が伸びる。更に、本発明に於いては、焦点マージンが広がることにより、実効的に微細なパターンが形成可能になり、集積度のより高い半導体集積回路の露光処理が可能になる。

【図面の簡単な説明】

【図1】図1 (A) は、本発明に係るフォトマスクを使用して描画すべき半導体回路のパターン構成の一例を示す平面図であり、図1 (B) は、本発明に係るビット線コンタクトホール用に使用されるフォトマスクの一具体例の構成を示す平面図であり、更には図1 (C) は、本発明に係る容量コンタクトホール用に使用されるフォトマスクの一具体例の構成を示す平面図である。

【図2】図2 (A) は、本発明に係るフォトマスクを使用して描画すべき半導体回路のパターン構成の一例を示す平面図であり、図2 (B) は、本発明に係るビット線コンタクトホール用に使用されるフォトマスクの他の具体例の構成を示す平面図であり、更には図2 (C) は、本発明に係る容量コンタクトホール用に使用されるフォトマスクの他の具体例の構成を示す平面図である。

【図3】図3 (A) は、従来に係るフォトマスクを使用して描画すべき半導体回路のパターン構成の一例を示す平面図であり、図3 (B) は、従来に係るビット線コンタクトホール用に使用されるフォトマスクの一具体例の構成を示す平面図であり、更には図3 (C) は、従来に係る容量コンタクトホール用に使用されるフォトマスクの一具体例の構成を示す平面図である。

【図4】図4は、本発明に係るフォトマスクと従来のフォトマスクを使用した場合の焦点深度特性の差を示すグ

ラフである。

【図5】図5 (A) 及び図5 (B) は、本発明に使用される変形照明における光源形状の一例を示す平面図である。

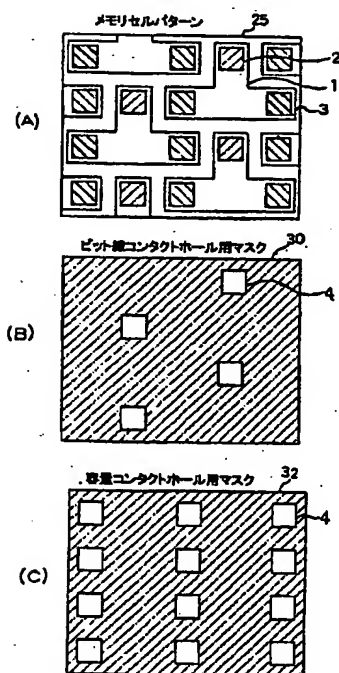
【図6】図6は、従来の補助開口を用いた孤立ホール用フォトマスクの例を示す平面図である。

【図7】図7は、従来の補助シフターを用いた孤立ホール用フォトマスクの例を示す平面図である。

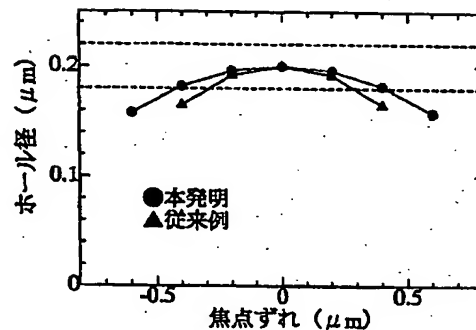
【符号の説明】

- 1…活性化領域
- 2…ビット線コンタクトホール
- 3…容量コンタクトホール
- 4…主開口部
- 5…補助開口部
- 6…格子線
- 7、7'…格子線交差点
- 8…シフター手段付き開口部
- 9…シフター手段
- 10…輪帯状光源
- 11…4点状光源
- 20、30、40…ビット線コンタクトホール用フォトマスク
- 22、32、42…容量コンタクトホールフォトマスク
- 25…半導体回路パターン

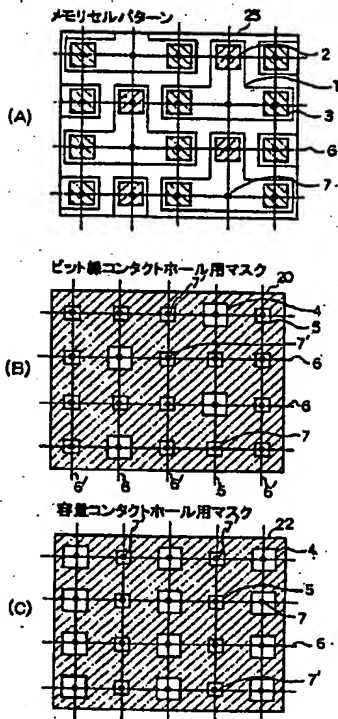
【図3】



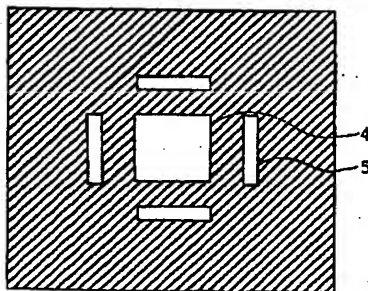
【図4】



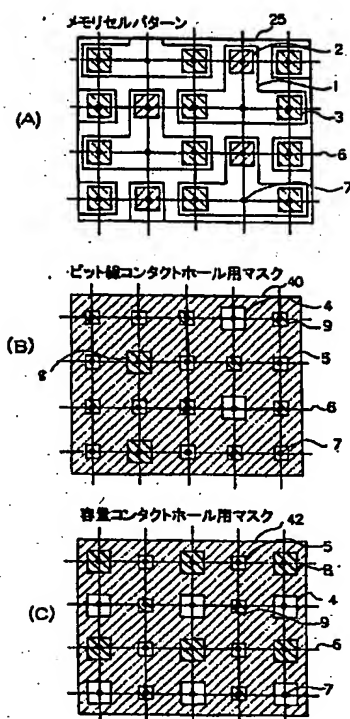
【図1】



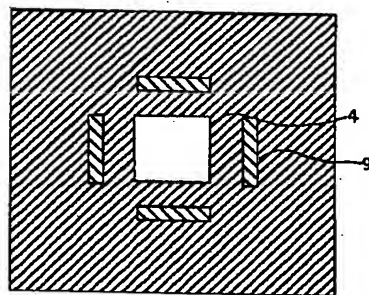
【図6】



【図2】



【図7】



【図5】

